

57810-094
TAKEUCHI, et al.
March 29, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 3 1 日
Date of Application:

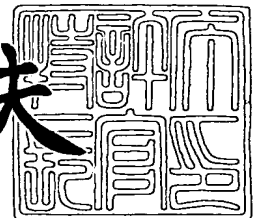
出 願 番 号 特 願 2 0 0 3 - 0 9 3 9 7 6
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 9 3 9 7 6]

出 願 人 三 洋 電 機 株 式 会 社
Applicant(s):

2 0 0 4 年 1 月 2 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 1 8 0 2

【書類名】 特許願

【整理番号】 NPA1020039

【提出日】 平成15年 3月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H01S 5/00

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
三洋電機株式会社内

【氏名】 竹内 邦生

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
三洋電機株式会社内

【氏名】 廣山 良治

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
三洋電機株式会社内

【氏名】 井上 大二郎

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
三洋電機株式会社内

【氏名】 岡本 重之

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
三洋電機株式会社内

【氏名】 松岡 憲昭

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号
三洋電機株式会社内

【氏名】 亀山 真吾

【特許出願人】

【識別番号】 000001889
【氏名又は名称】 三洋電機株式会社
【代表者】 桑野 幸徳

【代理人】

【識別番号】 100104433
【弁理士】
【氏名又は名称】 宮園 博一

【手数料の表示】

【予納台帳番号】 073613
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0001887

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体レーザ素子

【特許請求の範囲】

【請求項 1】 基板上に形成された発光層と、
前記発光層上に形成され、凸状のリッジ部を構成する半導体層と、
前記リッジ部の側方に形成された電流ブロック層と、
前記リッジ部の上面上に接触するように形成された第 1 金属電極と、
前記リッジ部と所定の間隔を隔てて、前記リッジ部の両側に配置された支持部とを備えた、半導体レーザ素子。

【請求項 2】 前記支持部は、前記リッジ部の上面よりも高さの大きい上面を有する、請求項 1 に記載の半導体レーザ素子。

【請求項 3】 前記第 1 金属電極の膜厚は、 $5\mu\text{m}$ 以上である、請求項 1 または 2 に記載の半導体レーザ素子。

【請求項 4】 基板上に形成された発光層と、
前記発光層上に形成され、凸状のリッジ部を構成する半導体層と、
前記リッジ部の側方に形成された電流ブロック層と、
前記リッジ部上の上面上に接触するように形成された第 1 金属電極と、
前記第 1 金属電極上に形成され、前記第 1 金属電極よりも密着性に優れた第 2 金属電極とを備えた、半導体レーザ素子。

【請求項 5】 前記第 1 金属電極は、前記リッジ部を構成する半導体層と同じ導電型のドーパントを含有する、請求項 1～4 のいずれかに記載の半導体レーザ素子。

【請求項 6】 前記リッジ部を構成する半導体層は、III-V 族化合物半導体からなり、

前記第 1 金属電極に含有される前記リッジ部を構成する半導体層と同じ導電型のドーパントは、Zn、Cd、Be、Mg、Ca および Ba からなるグループより選択される少なくとも 1 つの元素を含む、請求項 5 に記載の半導体レーザ素子。

【請求項 7】 前記第 1 金属電極と前記第 2 金属電極との膜厚の和は、 5μ

m以上である、請求項4～6のいずれかに記載の半導体レーザ素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体レーザ素子に関し、特に、凸状のリッジ部を有する半導体レーザ素子に関する。

【0002】

【従来の技術】

従来、電流通路となる凸状のリッジ部を有する半導体レーザ素子が知られている（例えば、特許文献1参照）。

【0003】

図16は、従来のリッジ部を有する半導体レーザ素子を説明するための断面図である。図16を参照して、従来のリッジ部を有する半導体レーザ素子の構造について説明する。

【0004】

従来のリッジ部を有する半導体レーザ素子では、図16に示すように、n型GaAs基板101上に、n型GaInPからなるn型バッファ層102、n型AlGaInPからなるn型クラッド層103、GaInP/AlGaInPからなる多重量子井戸（MQW）活性層を含む発光層104、および、p型AlGaInPからなるp型第1クラッド層105が順次形成されている。

【0005】

p型第1クラッド層105の上面上の所定領域には、p型AlGaInPからなるp型第2クラッド層106、p型GaInPからなる中間層107、および、p型GaAsからなるコンタクト層108とから構成されるメサ形状（台形状）のリッジ部が形成されている。このリッジ部は、ストライプ形状（細長形状）に形成されている。

【0006】

また、リッジ部（コンタクト層108）の上面のみを露出させるように、p型第1クラッド層105の上面上とリッジ部の側面上とを覆うように、n型AlI

n P 層と n 型 G a A s 層とが積層された電流ブロック層 1 0 9 が形成されている。そして、露出されたリッジ部の上面上および電流ブロック層 1 0 9 の上面上を覆うように、p 型 G a A s からなる p 型キャップ層 1 1 0 が形成されている。

【0 0 0 7】

また、上記リッジ部付近の p 型キャップ層 1 1 0 上には、p 側電極 1 1 1 が形成されている。また、n 型 G a A s 基板 1 0 1 の裏面には、n 側電極 1 2 0 が形成されている。

【0 0 0 8】

次に、図 1 6 を参照して、上記のような構造を有する従来のリッジ部を有する半導体レーザ素子の形成プロセスについて説明する。まず、n 型 G a A s 基板 1 0 1 上に、MOVPE 法 (M e t a l O r g a n i c V a p o r P h a s e E p i t a x y : 有機金属気相成長法) を用いて、n 型 G a I n P からなる n 型バッファ層 1 0 2、n 型 A l G a I n P からなる n 型クラッド層 1 0 3、G a I n P / A l G a I n P からなる多重量子井戸 (MQW) 活性層を含む発光層 1 0 4、p 型 A l G a I n P からなる p 型第 1 クラッド層 1 0 5、p 型 A l G a I n P からなる p 型第 2 クラッド層 1 0 6、p 型 G a I n P からなる中間層 1 0 7、および、p 型 G a A s からなるコンタクト層 1 0 8 を順次形成する。

【0 0 0 9】

次に、フォトリソグラフィ技術とエッチング技術とを用いて、所定の間隔を隔てて、コンタクト層 1 0 8 上に形成した S i O₂ 層 (図示せず) をマスクとして、p 型第 1 クラッド層 1 0 5 上の中央部に、p 型第 2 クラッド層 1 0 6、中間層 1 0 7、および、コンタクト層 1 0 8 とからなるメサ形状 (台形状) のリッジ部をストライプ形状に形成する。

【0 0 1 0】

次に、リッジ部上に形成した S i O₂ 層 (図示せず) をマスクとして、p 型第 1 クラッド層 1 0 5 の上面上と、リッジ部の側面上とを覆うように、n 型 A l I n P 層と n 型 G a A s 層とからなる電流ブロック層 1 0 9 を成長させる。その後、リッジ部上の S i O₂ 層 (図示せず) を除去する。

【0 0 1 1】

この後、MOVPE法を用いて、露出されたリッジ部の上面上および電流ブロック層109の上面上を覆うように、p型GaAsからなるp型キャップ層110を形成する。次に、上記リッジ部付近のp型キャップ層110上に、リフトオフ法を用いて、p側電極111を形成する。

【0012】

また、n型GaAs基板101の裏面をエッチングした後に、n型GaAs基板101の裏面上にn側電極120を形成する。このようにして、従来のリッジ部を有する半導体レーザ素子が形成される。

【0013】

図17は、従来の半導体レーザ素子をジャンクションダウンでサブマウントに取り付けた状態を示した断面図である。図17を参照して、上記した従来の半導体レーザ素子を、発光層（活性層）104に近い側の表面から基台（サブマウント）に取り付ける方式であるジャンクションダウン方式で基台に取り付ける際には、半導体レーザ素子の表面のp側電極111の凸部を下向きにして、半田などの低融点金属からなる融着材123を介して、サブマウント121の金属膜（電極）122に取り付けられる。この場合、一般に、サブマウント121は、半導体レーザ素子の熱を吸収して外部に放熱するヒートシンクの機能も有する。したがって、半導体レーザ素子からの発熱は、上記リッジ部からp型キャップ層110、p側電極111、融着材123、および、金属膜122を介してサブマウント121に放熱される。

【0014】

【特許文献1】

特開2002-252421号公報

【0015】

【発明が解決しようとする課題】

しかしながら、上記した従来の半導体レーザ素子では、ジャンクションダウンで半導体レーザ素子がサブマウント121に取り付けられた場合、半田などの低融点金属からなる融着材123と比べて、熱伝導性が低いp型GaAsからなるp型キャップ層110を介して半導体レーザ素子の発熱がサブマウント121に

放熱されるため、放熱特性が低下するという不都合が生じる。このため、従来の半導体レーザ素子では、信頼性が低下するという問題点があった。

【0016】

また、上記した従来の半導体レーザ素子では、MOVPE法による半導体層結晶成長を、n型バッファ層102からコンタクト層108までの成長、電流ブロック層109の成長、および、p型キャップ層110の成長の合計3回行う必要がある。その結果、半導体レーザ素子の製造プロセスが複雑になるという問題点もあった。

【0017】

また、上記した従来の半導体レーザ素子では、ジャンクションダウンで半導体レーザ素子がサブマウント121に取り付けられる場合、半導体レーザ素子がサブマウント121に対して傾きやすいので、半田などの融着材123が傾いた半導体レーザ素子の側端面に付着することにより、MQW活性層を含む発光層104を挟むp側およびn側の各半導体層が電氣的に短絡しやすくなる。その結果、製造歩留まりおよび信頼性が低下するという問題点もあった。

【0018】

また、上記した従来の半導体レーザ素子では、ジャンクションダウンで半導体レーザ素子がサブマウント121に取り付けられた場合、p側電極111の凸部のみがサブマウント121の金属膜122に接触するので、p側電極111の凸部下のリッジ部に応力が加わりやすいという不都合が生じる。このようにリッジ部に応力が加わると、動作電流および動作電圧が増加するという問題点があった。また、リッジ部に応力が加わると、半導体レーザ素子からの出射光は、MQW活性層を含む発光層104に水平な方向に電界成分を有するTEモードと、発光層104に垂直な方向に電界成分を有するTMモードとの偏光の強度比（TEモードの強度／TMモードの強度：偏光比）が小さくなるという問題点もあった。

【0019】

この発明は、上記のような課題を解決するためになされたものであり、

この発明の1つの目的は、放熱特性および信頼性が良好で、製造プロセスの簡略化および製造歩留まりの向上が可能な半導体レーザ素子を提供することである

【0020】

【課題を解決するための手段】

上記目的を達成するために、この発明の第1の局面による半導体レーザ素子は、基板上に形成された発光層と、発光層上に形成され、凸状のリッジ部を構成する半導体層と、リッジ部の側方に形成された電流ブロック層と、リッジ部の上面上に接触するように形成された第1金属電極と、リッジ部と所定の間隔を隔てて、リッジ部の両側に配置された支持部とを備えている。

【0021】

この第1の局面による半導体レーザ素子では、上記のように、リッジ部の上面上に接触するように第1金属電極を形成することにより、リッジ部の上面上に金属に比べて熱伝導性の低い半導体層からなるキャップ層を形成する場合に比べて、半導体レーザ素子の駆動時の発熱を放熱しやすくすることができる。これにより、半導体レーザ素子の駆動時の温度上昇を抑制することができるので、半導体レーザ素子の信頼性を向上させることができる。また、リッジ部の両側に支持部が配置されているので、半田などを用いて半導体レーザ素子を基台に取り付ける際に、半導体レーザ素子が傾いて取り付けられることがない。これにより、半導体レーザ素子の側面に半田が回り込みにくくなるので、p側およびn側の各半導体層間でのショートや、支持部を介してのリーク電流が発生することを抑制することができる。このように、上記ショートやリーク電流を抑制することができるので、半導体レーザ素子の製造歩留まりと信頼性とを向上させることができる。さらに、リッジ部および電流ブロック層の上面上に半導体層からなるキャップ層を用いる必要がないので、半導体層の成長工程を1回省略することができる。これにより、製造プロセスを簡略化することができる。これらの結果、放熱特性および信頼性が良好で、製造プロセスの簡略化および製造歩留まりの向上が可能な半導体レーザ素子を得ることができる。

【0022】

上記第1の局面による半導体レーザ素子において、好ましくは、支持部は、リッジ部の上面よりも高さの大きい上面を有している。このように構成すれば、半

導体レーザ素子を基台にジャンクションダウンで取り付けの際に、基台とリッジ部上の第1金属電極との間に所定の間隙を設けることができるので、上記取り付け時にリッジ部に応力が加わることがない。これにより、応力に起因する半導体レーザ素子特性の劣化を防止することができるので、信頼性の良好な半導体レーザ装置を形成することができる。また、リッジ部に加わる応力が小さい場合、半導体レーザ素子からの出射レーザ光の偏光比が大きくなるので、記録型光ディスクへの記録に必要な50以上の偏光比を、容易に得ることができる。

【0023】

上記第1の局面による半導体レーザ素子において、好ましくは、第1金属電極の膜厚は、 $5\mu\text{m}$ 以上である。このように構成すれば、リッジ部に作用する応力を小さくすることができる。その結果、半導体レーザ素子からの出射レーザ光の偏光比を大きくすることができるので、記録型光ディスクに必要な50以上の偏光比を、容易に得ることができる。

【0024】

この発明の第2の局面による半導体レーザ素子は、基板上に形成された発光層と、発光層上に形成され、凸状のリッジ部を構成する半導体層と、リッジ部の側方に形成された電流ブロック層と、リッジ部上の上面上に接触するように形成された第1金属電極と、第1金属電極上に形成され、第1金属電極よりも密着性に優れた第2金属電極とを備えている。

【0025】

この第2の局面による半導体レーザ素子では、上記のように、リッジ部の上面上に接触するように第1金属電極を形成することにより、リッジ部の上面上に金属に比べて熱伝導性の低い半導体層からなるキャップ層を形成する場合に比べて、半導体レーザ素子の駆動時の発熱を放熱しやすくすることができる。これにより、半導体レーザ素子の駆動時の温度上昇を抑制することができるので、半導体レーザ素子の信頼性を向上させることができる。また、第1金属電極よりも密着性に優れた第2金属電極を第1金属電極上に形成することにより、第1金属電極とリッジ部を構成する半導体層との密着性が低い場合にも、第1金属電極がリッジ部上面から剥離することを抑制することができる。これにより、半導体レーザ

素子の信頼性を向上させることができる。さらに、リッジ部および電流ブロック層の上面上に半導体層からなるキャップ層を形成する必要がないので、半導体層の成長工程を1回省略することができる。これにより、製造プロセスを簡略化することができる。これらの結果、放熱特性および信頼性が良好で、製造プロセスの簡略化および製造歩留まりの向上が可能な半導体レーザ素子を得ることができる。

【0026】

上記第1および第2の局面による半導体レーザ素子において、好ましくは、第1金属電極は、リッジ部を構成する半導体層と同じ導電型のドーパントを含有する。このように構成すれば、第1金属電極とリッジ部を構成する半導体層とをオーミック接触させることができるので、接触抵抗を小さくすることができる。その結果、半導体レーザ素子の発熱をさらに抑制することができる。

【0027】

上記第1および第2の局面による半導体レーザ素子において、好ましくは、リッジ部を構成する半導体層は、III-V族化合物半導体からなり、第1金属電極に含有されるリッジ部を構成する半導体層と同じ導電型のドーパントは、Zn、Cd、Be、Mg、CaおよびBaからなるグループより選択される少なくとも1つの元素を含む。このように構成すれば、容易に、上記元素によりリッジ部を構成するIII-V族化合物半導体層をp型化することできるとともに、第1金属電極とp型化された上記リッジ部とをオーミック接触させることができる。

【0028】

上記第2の局面による半導体レーザ素子において、好ましくは、第1金属電極と第2金属電極との膜厚の和は、 $5\mu\text{m}$ 以上である。このように構成すれば、第1金属電極および第2金属電極の柔軟性が増加するので、リッジ部に作用する応力を小さくすることができる。その結果、半導体レーザ素子からの出射レーザ光の偏光比を大きくすることができるので、記録型光ディスクに必要な50以上の偏光比を、容易に得ることができる。

【0029】

【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。

【0030】

(第1実施形態)

図1は、本発明の第1実施形態による半導体レーザ素子を説明するための断面図である。また、図2は、本発明の第1実施形態による半導体レーザ素子の発光層の構造を説明するための断面図である。図1および図2を参照して、本発明の第1実施形態による半導体レーザ素子の構造について説明する。

【0031】

本発明の第1実施形態による半導体レーザ素子では、図1に示すように、(100)面から[011]方向に 9° 傾斜したn型GaAs基板1上に、n型バッファ層2、n型クラッド層3、発光層4、および、p型第1クラッド層5が順次形成されている。n型バッファ層2は、約 $0.3\mu\text{m}$ の膜厚を有するとともに、Siがドーピングされたn型GaInPからなる。また、n型クラッド層3は、約 $2\mu\text{m}$ の膜厚を有するとともに、Siが $3\times 10^{17}\text{cm}^{-3}$ ドーピングされたn型AlGaInP (Al組成比: 0.7) からなる。

【0032】

発光層4は、図2に示すように、約 20nm の膜厚を有するAlGaInP (Al組成比: 0.2) からなる第1光ガイド層41と、約 8nm の膜厚を有するAlGaInP (Al組成比: 0) からなる3層の井戸層42、および、約 5nm の膜厚を有するAlGaInP (Al組成比: 0.6) からなる2層の障壁層43が交互に積層された多重量子井戸 (MQW) 構造を有する活性層と、約 20nm の膜厚を有するAlGaInP (Al組成比: 0.5) からなる第2光ガイド層44とから構成されている。また、井戸層42には、しきい値電流の低減やレーザ特性の向上を目的とした圧縮歪みが導入されている。また、障壁層43には井戸層42と逆の方向の引張り歪みが導入されることによって、MQW活性層を含む発光層4は、歪み補償構造となっている。また、p型第1クラッド層5は、約 $0.25\mu\text{m}$ の膜厚を有するとともに、Znが $1\times 10^{18}\text{cm}^{-3}$ ドーピングされたp型AlGaInP (Al組成比: 0.7) からなる。

【0033】

p 型第 1 クラッド層 5 の上面上には、図 1 に示すように、p 型第 2 クラッド層 6、中間層 7、および、コンタクト層 8 からなるメサ形状（台形状）のリッジ部および一对のダミーリッジ部が形成されている。なお、ダミーリッジ部は、本発明の「支持部」の一例である。p 型第 2 クラッド層 6 は、約 $1.3 \mu\text{m}$ の膜厚を有するとともに、Zn が $1 \times 10^{18} \text{cm}^{-3}$ ドープされた p 型 AlGaInP（Al 組成比：0.7）からなる。中間層 7 は、約 $0.1 \mu\text{m}$ の膜厚を有するとともに、Zn が $1 \times 10^{18} \text{cm}^{-3}$ ドープされた p 型 GaInP からなる。コンタクト層 8 は、約 $0.3 \mu\text{m}$ の膜厚を有するとともに、Zn が $2 \times 10^{19} \text{cm}^{-3}$ ドープされた p 型 GaAs からなる。リッジ部は、約 $2.5 \mu\text{m}$ の幅の底部および約 $1.5 \mu\text{m}$ の幅の上部を有するストライプ形状（細長形状）に形成されている。ダミーリッジ部は、リッジ部を挟むように、リッジ部と約 $50 \mu\text{m}$ の間隔を隔てて形成されている。

【0034】

また、p 型第 1 クラッド層 5 の上面上と、リッジ部の側面上と、ダミーリッジ部の上面上と、ダミーリッジ部の側面のうちリッジ部に面した側面上とを覆うように、Se がドープされた約 $0.5 \mu\text{m}$ の膜厚を有する n 型 AlInP 層と、約 $0.3 \mu\text{m}$ の膜厚を有する n 型 GaAs 層とが積層された電流ブロック層 9 が形成されている。すなわち、リッジ部の上面と、ダミーリッジ部の側面のうちリッジ部と反対側の側面は、電流ブロック層 9 によって覆われていない。

【0035】

ここで、第 1 実施形態では、電流ブロック層 9 は、リッジ部の上面上には形成されていない一方、ダミーリッジ部の上面上には形成されているので、ダミーリッジ部の上面は、リッジ部の上面よりも電流ブロック層 9 の膜厚程度（＝d）だけ、高さが大きくなっている。そして、露出されたリッジ部（コンタクト層 8）の上面上および電流ブロック層 9 の上面上を覆うように、p 型第 1 クラッド層 5 側から Cr 層、Au 層の順に積層されるとともに、約 $3 \mu\text{m}$ の合計膜厚を有する Cr/Au 層からなる第 1 p 側電極 10 が形成されている。第 1 p 側電極 10 は、リッジ部、ダミーリッジ部、および、電流ブロック層 9 の形状を反映した凹凸形状に形成されているので、ダミーリッジ部上に形成された第 1 p 側電極 10 は

、リッジ部上に形成された第1 p 側電極10よりも電流ブロック層9の膜厚分(=d)だけ高さが大きくなっている。なお、第1 p 側電極10は、本発明の「第1金属層」の一例である。

【0036】

また、n型GaAs基板1の裏面には、n型GaAs基板1側からAu-Ge層、Au層の順に積層されるAu-Ge/Au層からなるn側電極20が形成されている。

【0037】

また、本発明の第1実施形態の半導体レーザ素子の光出射端面付近のリッジ部およびダミーリッジ部には、コンタクト層8からMQW活性層を含む発光層4までの各層に渡って、Znなどの不純物が拡散している。これにより、光出射端面付近のMQW活性層が無秩序化された、窓構造が形成されている。また、上記窓構造を構成する光出射端面付近のリッジ部の上面には、電流ブロック層9が形成されることにより、上記光出射端面付近のリッジ部に不必要な電流が注入されない、端面非注入構造が形成されている。

【0038】

図3～図6は、本発明の第1実施形態による半導体レーザ素子の形成プロセスを説明するための断面図である。図1～図6を参照して、次に、上記のような構造を有する本発明の第1実施形態による半導体レーザ素子の形成プロセスについて説明する。まず、図3に示すように、(100)面から[011]方向に9°傾斜したn型GaAs基板1上に、MOVPE法を用いて、半導体各層2～8を形成する。具体的には、n型GaAs基板1上に、Siがドーパされたn型GaInPからなるn型バッファ層2を約0.3μmの膜厚で形成した後、n型バッファ層2上に、Siが $3 \times 10^{17} \text{ cm}^{-3}$ ドーパされたn型AlGaInPからなるn型クラッド層3を約2μmの膜厚で形成する。その後、n型クラッド層3上に、GaInP/AlGaInPからなるMQW活性層を含む発光層4を形成した後、発光層4上に、Znが $1 \times 10^{18} \text{ cm}^{-3}$ ドーパされたp型AlGaInP(A1組成比:0.7)からなるp型第1クラッド層5を約0.25μmの膜厚で形成する。そして、p型第1クラッド層5上に、Znが $1 \times 10^{18} \text{ cm}^{-3}$ ドー

プされた p 型 AlGaInP (Al 組成比: 0.7) からなる p 型第 2 クラッド層 6 を約 $1.3\ \mu\text{m}$ の膜厚で形成する。その後、p 型第 2 クラッド層 6 上に、Zn が $1 \times 10^{18}\text{cm}^{-3}$ ドープされた p 型 GaInP からなる中間層 7 を約 $0.1\ \mu\text{m}$ の膜厚で形成する。そして、Zn が $2 \times 10^{19}\text{cm}^{-3}$ ドープされた p 型 GaAs からなるコンタクト層 8 を約 $0.3\ \mu\text{m}$ の膜厚で形成する。

【0039】

ここで、発光層 4 は、図 2 に示すように、約 20nm の膜厚を有する AlGaInP (Al 組成比: 0.2) からなる第 1 光ガイド層 41 と、約 8nm の膜厚を有する AlGaInP (Al 組成比: 0) からなる 3 層の井戸層 42、および、約 5nm の膜厚を有する AlGaInP (Al 組成比: 0.6) からなる 2 層の障壁層 43 からなる多重量子井戸 (MQW) 構造を有する活性層と、約 20nm の膜厚を有する AlGaInP (Al 組成比: 0.5) からなる第 2 光ガイド層 44 とを順次積層することにより形成される。

【0040】

次に、図 4 に示すように、フォトリソグラフィ技術とエッチング技術とを用いて、所定の間隔を隔てて、コンタクト層 8 上に形成した SiO_2 層 15 をマスクとして、p 型第 2 クラッド層 6、中間層 7、および、コンタクト層 8 とからなるメサ形状 (台形状) のリッジ部およびダミーリッジ部を形成する。リッジ部は、底部の幅が約 $4\ \mu\text{m}$ になるようにストライプ形状に形成する。

【0041】

次に、図 5 に示すように、リッジ部上の SiO_2 層 15 だけを残して、ダミーリッジ部上の SiO_2 層 15 を除去する。そして、リッジ部上の SiO_2 層 15 をマスクとして、p 型第 1 クラッド層 5 の上面上と、リッジ部の側面上と、ダミーリッジ部の上面上と、ダミーリッジ部の側面のうちリッジ部に面した側面上とを覆うように、Se がドープされた約 $0.3\ \mu\text{m}$ の膜厚を有する n 型 AlInP 層と約 $0.5\ \mu\text{m}$ の膜厚を有する n 型 GaAs 層とからなる電流ブロック層 9 を形成する。すなわち、リッジ部の上面と、ダミーリッジ部の側面のうちリッジ部と反対側の側面は、電流ブロック層 9 から露出している。

【0042】

次に、リッジ部上の SiO_2 層 15 からなるマスクを除去する。その後、窒素雰囲気中で 520°C 、10 分間の熱処理を行うことにより、p 型第 1 クラッド層 5、p 型第 2 クラッド層 6、および、中間層 7 の p 型化を行う。

【0043】

この後、図 6 に示すように、MOVPE 法を用いて、露出されたリッジ部の上面および電流ブロック層 9 の上面上を覆うように、p 型第 1 クラッド層 5 側から Cr 層、Au 層の順に積層されるとともに、約 $1\mu\text{m}$ の合計膜厚を有する Cr/Au 層からなる第 1 p 側電極 10 を形成する。第 1 p 側電極 10 は、リッジ部、ダミーリッジ部、および、電流ブロック層 9 の形状を反映した凹凸形状に形成されているので、ダミーリッジ部上に形成された第 1 p 側電極 10 は、リッジ部上に形成された第 1 p 側電極 10 よりも電流ブロック層 9 の膜厚分 ($=d$) だけ高さが大きくなっている。

【0044】

この後、n 型 GaAs 基板 1 の膜厚が約 $100\mu\text{m}$ 程度になるまで、n 型 GaAs 基板 1 の裏面をエッチングした後に、図 1 に示したように、n 型 GaAs 基板 1 の裏面に、n 型 GaAs 基板 1 側から Au-Ge 層、Au 層の順に積層される Au-Ge/Au 層からなる n 側電極 20 を形成する。この後、窒素雰囲気中で 430°C 、5 分間の熱処理を行うことにより、第 1 p 側電極 10 および n 側電極 20 のオーミックコンタクトを得る。このようにして、本発明の第 1 実施形態による半導体レーザ素子が形成される。

【0045】

図 7 は、図 1 に示した本発明の第 1 実施形態による半導体レーザ素子をジャンクションダウンでサブマウントに取り付けた状態を示した断面図である。図 7 を参照して、本発明の第 1 実施形態による半導体レーザ素子は、半導体レーザ素子の表面の第 1 p 側電極 10 の凸部を下向きにして、半田などの低融点金属からなる融着材 23 を介して、サブマウント 21 の金属膜（電極）22 に取り付けられる。ダミーリッジ部上に形成された第 1 p 側電極 10 は、リッジ部上に形成された第 1 p 側電極 10 よりも電流ブロック層 9 の膜厚分だけ高さが大きくなっているため、上記第 1 実施形態による半導体レーザ素子をジャンクションダウンでサ

ブマウント 21 に取り付ける場合には、サブマウント 21 の金属膜 22 とリッジ部上の第 1 p 側電極 10 との間には所定の間隙 d が設けられる。

【0046】

第 1 実施形態では、上記のように、リッジ部の上面上に接触するように第 1 p 側電極 10 を形成することにより、リッジ部の上面上に半導体層からなるキャップ層 110 (図 1 参照) を形成する場合に比べて、半導体レーザ素子の駆動時の発熱を放熱しやすくすることができる。これにより、半導体レーザ素子駆動時の温度上昇を抑制することができるので、半導体レーザ素子の信頼性を向上させることができる。また、従来の半導体レーザ素子と異なり、リッジ部および電流ブロック層 9 の上面上に半導体層からなる p 型キャップ層 110 (図 16 参照) を形成する必要がないので、MOVPE 法による半導体層の成長工程を 1 回省略することができる。これにより、製造プロセスを簡略化することができる。

【0047】

また、リッジ部の両側にダミーリッジ部を設けることによって、半田などを用いて半導体レーザ素子をサブマウント 21 にジャンクションダウン方式で取り付ける際に、半導体レーザ素子が傾いて取り付けられないことがない。これにより、半導体レーザ素子の側面に半田が回り込みにくくなるので、p 側および n 側の各半導体層間でのショートが発生することを抑制することができる。このように、上記ショートを抑制することができるので、半導体レーザ素子の製造歩留まりと信頼性とを向上させることができる。また、ダミーリッジ部上に形成された第 1 p 側電極 10 は、リッジ部上に形成された第 1 p 側電極 10 よりも電流ブロック層 9 の膜厚分だけ高さが大きくなっているので、半導体レーザ素子をサブマウント 21 に取り付ける際に、サブマウント 21 とリッジ部上の第 1 p 側電極 10 との間に所定の間隙 ($= d$) (図 7 参照) を設けることができる。これにより、図 7 に示すように、ジャンクションダウンで半導体レーザ素子をサブマウント 21 に取り付ける際に、リッジ部に応力が加わることがない。これにより、応力に起因する半導体レーザ素子特性の劣化を防止することができる。これらの結果、半導体レーザ素子の信頼性と製造歩留まりとを向上させることができる。

【0048】

(第2実施形態)

図8は、本発明の第2実施形態による半導体レーザ素子を説明するための断面図である。この第2実施形態では、p側電極を2層構造とするとともに、ダミーリッジ部の上面上および両側面上に電流ブロック層を形成した例について説明する。なお、図8において、図1と同一の部分には同一番号を付して説明を省略する。

【0049】

まず、図8を参照して、本発明の第2実施形態による半導体レーザ素子の構造について説明する。第2実施形態による半導体レーザ素子では、図1に示した第1実施形態の半導体レーザ素子と同様、n型GaAs基板1上に、n型バッファ層2、n型クラッド層3、発光層4、および、p型第1クラッド層5が順次形成されている。p型第1クラッド層5の上面上には、p型第2クラッド層6、中間層7、および、コンタクト層8とから構成されるメサ形状（台形状）のリッジ部およびダミーリッジ部が形成されている。なお、ダミーリッジ部は、本発明の「支持部」の一例である。

【0050】

ここで、第2実施形態では、ダミーリッジ部はn型GaAs基板1の端部よりもわずかに内側に形成されている。これにより、ダミーリッジ部とn型GaAs基板1の端部との間には、ダミーリッジ部からp型第1クラッド層5の上表面が露出した領域が形成されている。ダミーリッジ部は、基板1の端部よりも少し内側に形成されている。また、p型第1クラッド層5の上表面と、リッジ部の側面上と、ダミーリッジ部の上表面および側面上とを覆うように、電流ブロック層9が形成されている。なお、各層2～9の組成および膜厚は、第1実施形態の各層2～9と同様である。

【0051】

また、第2実施形態では、露出されたリッジ部の上表面および電流ブロック層9の上表面を覆うように、p型第1クラッド層5側からCr層、Au層の順に積層されるとともに、約1 μ mの合計膜厚を有するCr/Au層からなる第1p側電極10aと、第1p側電極10a側からPd層、Au層の順に積層されると

もに、約 $2\ \mu\text{m}$ の合計膜厚を有する Pd/Au 層からなる第 2 p 側電極 11 とが形成されている。第 1 p 側電極 10a および第 2 p 側電極 11 は、リッジ部、ダミーリッジ部、および、電流ブロック層 9 の形状を反映した凹凸形状に形成されているので、ダミーリッジ部上に形成された p 側第 2 p 側電極 11 は、リッジ部上に形成された第 2 p 側電極 11 よりも電流ブロック層 9 の膜厚分だけ高さが大きくなっている。なお、第 1 p 側電極 10a および第 2 p 側電極 11 は、本発明の「第 1 金属層」の一例である。

【0052】

また、n 型 GaAs 基板 1 の裏面には、第 1 実施形態と同様に、n 型 GaAs 基板 1 側から Au-Ge 層、Au 層の順に積層される Au-Ge/Au 層からなる n 側電極 20 が形成されている。これにより、本発明の第 2 実施形態による半導体レーザ素子が形成されている。

【0053】

また、本発明の第 2 実施形態の半導体レーザ素子には、第 1 実施形態と同様に、光出射端面付近の MQW 活性層が無秩序化された、窓構造が形成されている。さらに、本発明の第 2 実施形態の半導体レーザ素子には、第 1 実施形態と同様に、上記窓構造を構成する光出射端面付近のリッジ部の上面に、電流ブロック層 9 が形成された、端面非注入構造が形成されている。

【0054】

図 9～図 11 は、本発明の第 2 実施形態による半導体レーザ素子の形成プロセスを説明するための断面図である。図 8～図 11 を参照して、次に、第 2 実施形態の半導体レーザ素子の形成プロセスについて説明する。まず、図 3 に示した第 1 実施形態の形成プロセスと同様の形成プロセスを用いて、n 型 GaAs 基板 1 上に、n 型バッファ層 2、n 型クラッド層 3、発光層 4、p 型第 1 クラッド層 5、p 型第 2 クラッド層 6、中間層 7、および、コンタクト層 8 を順次形成する。その後、図 9 に示すように、フォトリソグラフィ技術とエッチング技術とを用いて、所定の間隔を隔てて、コンタクト層 8 上に形成した SiO_2 層 15 をマスクとして、p 型第 2 クラッド層 6、中間層 7、および、コンタクト層 8 とからなるメサ形状（台形状）のリッジ部およびダミーリッジ部を形成する。このとき、ダ

ミーリッジ部は基板 1 の端部よりもわずかに内側に形成することにより、ダミーリッジ部と基板 1 の端部との間に p 型クラッド層 5 の上面が露出した領域を形成する。

【0055】

次に、図 10 に示すように、リッジ部上の SiO_2 層 15 だけを残して、ダミーリッジ部上の SiO_2 層 15 を除去する。そして、リッジ部上の SiO_2 層 15 をマスクとして、p 型第 1 クラッド層 5 の上面上と、リッジ部の側面上と、ダミーリッジ部の上面上および側面上とを覆うように、電流ブロック層 9 を形成する。

【0056】

次に、リッジ部上の SiO_2 層 15 からなるマスクを除去する。その後、窒素雰囲気中で 520°C 、10 分間の熱処理を行うことにより、p 型第 1 クラッド層 5、p 型第 2 クラッド層 6、および、中間層 7 の p 型化を行う。

【0057】

この後、図 11 に示すように、MOVPE 法を用いて、露出されたリッジ部の上面上および電流ブロック層 9 の上面上を覆うように、第 1 p 側電極 10a、および、第 1 p 側電極 10a 側から Pd 層、Au 層の順に積層されるとともに、約 $2\mu\text{m}$ の合計膜厚を有する Pd/Au 層からなる第 2 p 側電極 11 を形成する。第 1 p 側電極 10a および第 2 p 側電極 11 は、リッジ部、ダミーリッジ部、および、電流ブロック層 9 の形状を反映した凹凸形状に形成されているので、ダミーリッジ部上に形成された第 2 p 側電極 11 は、リッジ部上に形成された第 2 p 側電極 11 よりも電流ブロック層 9 の膜厚分だけ高さが大きくなっている。

【0058】

この後、n 型 GaAs 基板 1 の裏面をエッチングした後に、図 8 に示したように、n 型 GaAs 基板 1 の裏面上に n 側電極 20 を形成する。この後、窒素雰囲気中で 430°C 、5 分間の熱処理を行うことにより、第 1 p 側電極 10a、第 2 p 側電極 11 および n 側電極 20 のオーミックコンタクトを得る。このようにして、本発明の第 2 実施形態による半導体レーザ素子が形成される。

【0059】

図12は、図8に示した本発明の第2実施形態による半導体レーザ素子をジャンクションダウンでサブマウントに取り付けた状態を示した断面図である。図12を参照して、本発明の第2実施形態による半導体レーザ素子は、半導体レーザ素子の表面の第2 p 側電極11の凸部を下向きにして、半田などの低融点金属からなる融着材23を介して、サブマウント21の金属膜（電極）22に取り付けられる。ダミーリッジ部上に形成された第2 p 側電極11は、リッジ部上に形成された第2 p 側電極11よりも電流ブロック層9の膜厚分だけ高さが大きくなっている。上掲第2実施形態による半導体レーザ素子をジャンクションダウンでサブマウント21に取り付ける場合には、サブマウント21とリッジ部上の第2 p 側電極11の部分との間には所定の間隙が設けられる。

【0060】

ここで、図8に示した第2実施形態による半導体レーザ装置と、図16に示した従来（比較例）の半導体レーザ装置との動作特性について評価を行った。その結果、70℃における連続発振（CW）出力が50mWの時の動作電流（ I_{op} ）は、従来（比較例）の半導体レーザ装置では107.9mAであったのに対して、第2実施形態による半導体レーザ装置では88.4mAであり、20%近く減少した。したがって、第2実施形態の半導体レーザ装置は、従来（比較例）の半導体レーザ装置に比べて、動作電流の増加を抑制することができることが判明した。これにより、第2実施形態では、動作電流の増加に起因する発熱量を抑制することができる。

【0061】

第2実施形態では、上記のように、p 側電極を第1 p 側電極10aおよび第2 p 側電極11の積層構造とすることによって、容易に、p 側電極を厚膜化することができるので、リッジ部に作用する応力を制御することができる。これにより、半導体レーザ素子から出射されるレーザ光の偏光比を制御することができる。この効果を確認するために、上記第2実施形態による半導体レーザ装置の光出力に対するp 側電極膜厚の影響について評価を行った。

【0062】

図13は、本発明の第2実施形態による半導体レーザ装置のp 側電極膜厚と偏

光比との関係を示す特性図である。ここで、p 側電極膜厚は、第 1 p 側電極 10 と第 2 p 側電極 11 との膜厚の和である。図 13 を参照して、p 側電極膜厚の増加にともなう偏光比が増加する傾向が見られる。したがって、p 側電極膜厚が大きいほど、偏光比も大きく、記録型光ディスクへの記録に適していることを示している。例えば、約 $1\ \mu\text{m}$ の膜厚を有する第 1 p 型電極 10 と約 $5\ \mu\text{m}$ の膜厚を有する第 2 p 型電極 11 とを積層することにより、p 側電極膜厚を約 $6\ \mu\text{m}$ にした場合には、偏光比は 60 に増大した。これらにより、p 側電極膜厚が約 $5\ \mu\text{m}$ 以上とすることにより、記録型光ディスクへの記録に必要な 50 以上の偏光比が得られることがわかった。

【0063】

第 2 実施形態では、上記のように、ダミーリッジ部の上面上および側面上に電流ブロック層を覆うように形成することによって、図 12 に示すように、半導体レーザ素子をサブマウント 21 にジャンクションダウン方式で取り付ける場合に、半田がダミーリッジの側面上に付着したとしても、ダミーリッジ部には電流が流れない。これにより、半導体レーザ素子に通電される電流は、リッジ部にだけしか流れないので、発光効率の高い半導体レーザ素子を形成することができる。

【0064】

また、ダミーリッジ部は n 型 GaAs 基板 1 の端部よりもわずかに内側に形成されているので、n 型 GaAs 基板 1 の端部には、ダミーリッジが形成されておらず、n 型 GaAs 基板 1 に対して平行な上面を有する電流ブロック層 8 が形成されている。これにより、半導体レーザ素子をサブマウント 21 に取り付ける場合に、n 型 GaAs 基板 1 の端部において、半田からなる融着材 23 が電流ブロック層 8 から、第 2 クラッド層 5、発光層 4、および、第 1 クラッド層 3 にまで回り込みにくくなる。その結果、p 側および n 側の各半導体層の端部において、さらにショートが発生しにくくなるので、半導体レーザ素子の信頼性をさらに向上させることができる。

【0065】

(第 3 実施形態)

この第 3 実施形態では、p 型ドーパントを含有する第 1 金属電極を用いるとと

もに、第1金属電極よりも密着性の高い第2金属電極を用いた半導体レーザ素子の例について説明する。

【0066】

図14は、Znがドーパされたp型GaAs層と金属層との間の抵抗の関係を示す特性図である。ここで、抵抗は、p型GaAs層上に形成された各金属層からなる電極間の抵抗を電極間距離を変化させて測定した。なお、p型GaAs層上に各金属層を形成した後に、窒素雰囲気中で430℃、5分間の熱処理を行うことにより、p型GaAs層と各金属層とのオーミックコンタクトを得ている。図14を参照して、いずれの電極間距離においても、p型GaAs層側からCr層、Au層の順に積層されるCr/Au層、および、Pd層、Au層の順に積層されるPd/Au層とp型GaAs層との抵抗よりも、p型GaAs層のドーパントであるZnを含むAu-Zn層、Au層の順に積層されるAu-Zn/Au層とp型GaAs層との抵抗が小さくなることがわかる。これにより、金属電極中に半導体層（p型GaAs層）と同じ導電型のドーパント（Zn）を含むことにより、接触抵抗の小さい良好なオーミックコンタクトが得られることがわかった。また、p型GaAs層に対する付着力を評価した結果、Au-Zn/Au層のp型GaAs層に対する付着力は弱く、剥離の恐れがあるのに対して、Cr/Au層、および、Pd/Au層のp型GaAs層に対する付着力は十分大きいこともわかった。

【0067】

図15は、本発明の第3実施形態による半導体レーザ素子を説明するための断面図である。なお、図15において、図8と同一の部分には同一番号を付して説明を省略する。

【0068】

まず、図15を参照して、本発明の第3実施形態による半導体レーザ素子の構造について説明する。第3実施形態による半導体レーザ素子では、図8に示した第2実施形態の半導体レーザ素子と同様、n型GaAs基板1上に、n型バッファ層2、n型クラッド層3、発光層4、および、p型第1クラッド層5が順次形成されている。p型第1クラッド層5の上面上には、p型第2クラッド層6、中

間層 7、および、コンタクト層 8 とから構成されるメサ形状（台形状）のリッジ部およびダミーリッジ部が形成されている。なお、ダミーリッジ部は、本発明の「支持部」の一例である。また、p 型第 1 クラッド層 5 の上面上と、リッジ部の側面上と、ダミーリッジ部の上面上および側面上とを覆うように、電流ブロック層 9 が形成されている。なお、各層 2 ～ 9 の組成および膜厚は、第 2 実施形態の各層 2 ～ 9 と同様である。

【0069】

ここで、第 2 実施形態では、露出されたリッジ部を覆うように、リッジ部の上面上および電流ブロック層 9 の上面上に、約 $1\ \mu\text{m}$ の膜厚を有する Au-Zn 層、Au 層の順に積層される Au-Zn/Au 層からなる第 1 p 側電極 12 が形成されている。さらに、第 1 p 側電極 12 を覆うように、電流ブロック層 9 の上面上と、第 1 p 側電極 12 の上面上および側面上と、ダミーリッジ部の上面上および側面上とに、p 型第 1 クラッド層 5 側から Cr 層、Au 層の順に積層されるとともに、約 $5\ \mu\text{m}$ の合計膜厚を有する Cr/Au 層からなる第 2 p 側電極 13 が形成されている。なお、第 1 p 側電極 12 は、本発明の「第 1 金属層」の一例、および、第 2 p 側電極 13 は、本発明の「第 2 金属層」の一例である。また、Zn は、本発明の「リッジ部を構成する半導体層と同じ導電型のドーパント」の一例である。

【0070】

また、n 型 GaAs 基板 1 の裏面には、第 2 実施形態と同様に、n 型 GaAs 基板 1 側から Au-Ge 層、Au 層の順に積層される Au-Ge/Au 層からなる n 側電極 20 が形成されている。これにより、本発明の第 3 実施形態による半導体レーザ素子が形成されている。

【0071】

また、本発明の第 3 実施形態の半導体レーザ素子には、第 1 実施形態と同様に、光出射端面付近の MQW 活性層が無秩序化された、窓構造が形成されている。さらに、本発明の第 3 実施形態の半導体レーザ素子には、第 1 実施形態と同様に、上記窓構造を構成する光出射端面付近のリッジ部の上面に、電流ブロック層 9 が形成された、端面非注入構造が形成されている。

【0072】

次に、第3実施形態の半導体レーザ素子の形成プロセスについて説明する。まず、図9および図10に示した第2実施形態の形成プロセスと同様の形成プロセスを用いて、電流ブロック層9を形成した後、リッジ部上のSiO₂層15（図10参照）からなるマスクを除去する。その後、窒素雰囲気中で520℃、10分間の熱処理を行うことにより、p型第1クラッド層5、p型第2クラッド層6、および、中間層7のp型化を行う。

【0073】

この後、図15に示したように、MOVPE法を用いて、露出されたリッジ部の上面上を覆うように、リッジ部の上面上および電流ブロック層9の上面上に、約1μmの膜厚を有するAu-Zn層、Au層の順に積層されるAu-Zn/Auからなる第1p側電極12を形成した後、リッジ部近傍にのみ、第1p側電極12が残るようにパターンニングする。さらに、第1p側電極12を覆うように、電流ブロック層9の上面上と、第1p側電極12の上面上および側面上と、ダミーリッジ部の上面上および側面上とに、p型第1クラッド層5側からCr層、Au層の順に積層されるとともに、約5μmの合計膜厚を有するCr/Au層からなる第2p側電極13を形成する。

【0074】

また、第2実施形態と同様に、n型GaAs基板1の裏面をエッチングした後、n型GaAs基板1の裏面にn側電極20を形成する。この後、窒素雰囲気中で430℃、5分間の熱処理を行うことにより、第1p側電極12、第2p側電極13およびn側電極20のオーミックコンタクトを得る。このようにして、本発明の第3実施形態による半導体レーザ素子が形成される。

【0075】

第3実施形態では、第1p側電極12は、コンタクト層8と同じ導電型のドーパントであるZnを含んでいるので、第1p側電極12とコンタクト層8との間の接触抵抗は小さくなり、良好なオーミックコンタクトを得ることができる。これにより、半導体レーザ素子の動作時の発熱をより低減することができる。また、コンタクト層8に対して密着性の小さい第1p側電極12を覆うように、密着

性の大きな第2 p側電極13を形成することによって、第1 p側電極12が剥離することを抑制することができる。これらにより、半導体レーザ素子の信頼性を向上させることができる。

【0076】

なお、今回開示された実施形態は、すべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0077】

たとえば、上記第1～第3実施形態では、半導体レーザ素子を構成する半導体層は、AlGaInPから形成されていたが、本発明はこれに限らず、AlGaAs系、AlGaInAs系、GaInAsP系およびGaN系などのIII-V族化合物半導体を用いてもよい。

【0078】

また、上記第3実施形態では、第1 p側電極12としてZnを含む金属層を用いたが、本発明はこれに限らず、リッジ部を構成する半導体層と同じ導電型のドーパントを含有していればよく、リッジ部を構成する半導体層がIII-V族化合物半導体であれば、Cd、Be、Mg、CaおよびBaからなるグループより選択される少なくとも1つの元素を含んでいてもよい。

【0079】

また、上記第1および第2実施形態では、第1 p側電極10として、p型第1クラッド層5側からCr層、Au層の順に積層されるCr/Au層を、第2 p側電極11として、p型第1クラッド層5側からPd層、Au層の順に積層されるPd/Au層を用いて形成したが、本発明はこれに限らず、p型第1クラッド層5側からTi層、Pt層、Au層の順に積層されるTi/Pt/Au層などの他の金属材料もp側電極材料として用いることができる。また、金属電極は2層以上であってもよい。

【0080】

また、上記第1～第3実施形態では、電流ブロック層9としてn型AlInP

／GaAs層を用いたが、本発明はこれに限らず、SiNやSiO₂などの絶縁層を用いてもよい。

【0081】

また、上記第1～第3実施形態では、リッジ部とダミーリッジ部との間隔は約50μmであったが、本発明はこれに限らず、リッジ部から約10μm以上の距離を隔ててダミーリッジ部を配置してもよい。これにより、電流ブロック層9を形成する際に、マスクとして用いたSiO₂膜の上に多結晶が成長することを抑制することができるので、半導体レーザ素子の抵抗が増大することを抑制することができる。

【0082】

また、上記第1～第3実施形態では、リッジ部およびダミーリッジ部を形成する際に、p型第1クラッド層5を残すようにp型第2クラッド層6をその膜厚分だけエッチング除去を行ったが、本発明はこれに限らず、p型第1クラッド層5とp型第2クラッド層6との間にGaInPなどからなるエッチングストップ層を設けてもよい。これにより、エッチングの制御性を向上させることができる。

【0083】

また、上記第1～第3実施形態では、井戸層に圧縮歪みを導入した歪み補償構造の発光層4を用いているが、本発明はこれに限らず、井戸層に引張り歪みを導入した歪み補償構造の発光層4としてもよく、歪みを導入しない発光層としてもよい。

【0084】

また、本発明に用いる融着材23を構成する半田の材料としては、PbSn、AuSn、AgSn、および、SnAgCuなどを用いることができる。

【0085】

【発明の効果】

以上のように、本発明によれば、放熱特性および信頼性が良好で、製造プロセスの簡略化および製造歩留まりの向上が可能な半導体レーザ装置を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態による半導体レーザ素子を説明するための断面図である。

【図 2】

本発明の第 1 実施形態による半導体レーザ素子の発光層の構造を説明するための断面図である。

【図 3】

本発明の第 1 実施形態による半導体レーザ素子の形成プロセスの第 1 工程を説明するための断面図である。

【図 4】

本発明の第 1 実施形態による半導体レーザ素子の形成プロセスの第 2 工程を説明するための断面図である。

【図 5】

本発明の第 1 実施形態による半導体レーザ素子の形成プロセスの第 3 工程を説明するための断面図である。

【図 6】

本発明の第 1 実施形態による半導体レーザ素子の形成プロセスの第 4 工程を説明するための断面図である。

【図 7】

図 1 に示した本発明の第 1 実施形態による半導体レーザ素子をジャンクションダウンでサブマウントに取り付けた状態を示した断面図である。

【図 8】

本発明の第 2 実施形態による半導体レーザ素子を説明するための断面図である。

【図 9】

本発明の第 2 実施形態による半導体レーザ素子の形成プロセスの第 1 工程を説明するための断面図である。

【図 10】

本発明の第 2 実施形態による半導体レーザ素子の形成プロセスの第 2 工程を説

明するための断面図である。

【図 1 1】

本発明の第 2 実施形態による半導体レーザ素子の形成プロセスの第 3 工程を説明するための断面図である。

【図 1 2】

図 8 に示した本発明の第 2 実施形態による半導体レーザ素子をジャンクションダウンでサブマウントに取り付けた状態を示した断面図である。

【図 1 3】

本発明の第 2 実施形態による半導体レーザ装置の p 側電極膜厚と偏光比との関係を示す特性図である。

【図 1 4】

Zn がドーピングされた p 型 GaAs 層と金属層との間の抵抗の関係を示す特性図である。

【図 1 5】

本発明の第 3 実施形態による半導体レーザ素子を説明するための断面図である。

【図 1 6】

従来のリッジ部を有する半導体レーザ素子を説明するための断面図である。

【図 1 7】

従来の半導体レーザ素子をジャンクションダウンでサブマウントに取り付けた状態を示した断面図である。

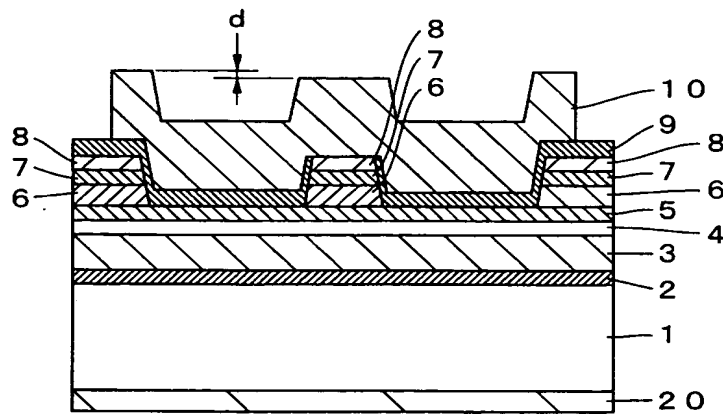
【符号の説明】

- | | |
|---|---------------------|
| 1 | n 型基板 |
| 2 | n 型バッファ層 |
| 3 | n 型クラッド層 |
| 4 | 発光層 |
| 5 | p 型第 1 クラッド層 |
| 6 | p 型第 2 クラッド層 (リッジ部) |
| 7 | 中間層 (リッジ部) |

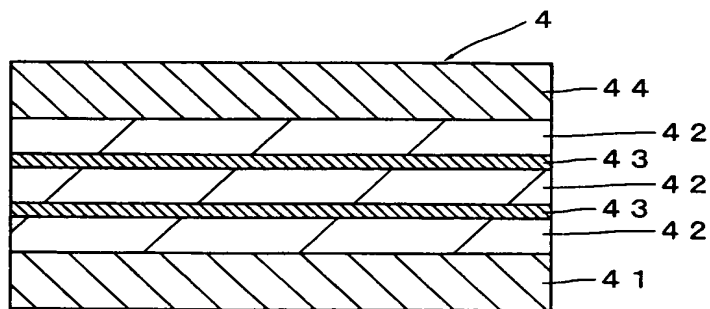
8	コンタクト層（リッジ部）
9	電流ブロック層
1 0、1 0 a、1 2	第 1 p 側電極（第 1 金属層）
1 1	第 2 p 側電極（第 1 金属層）
1 3	第 2 p 側電極（第 2 金属層）
2 0	n 側電極

【書類名】 図面

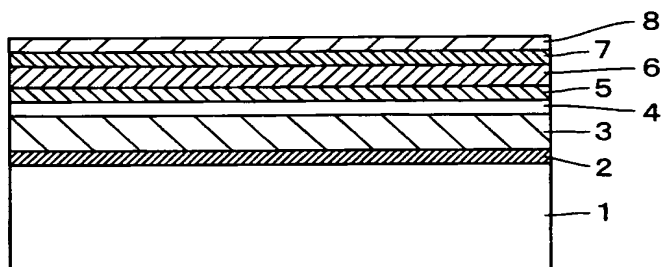
【図 1】



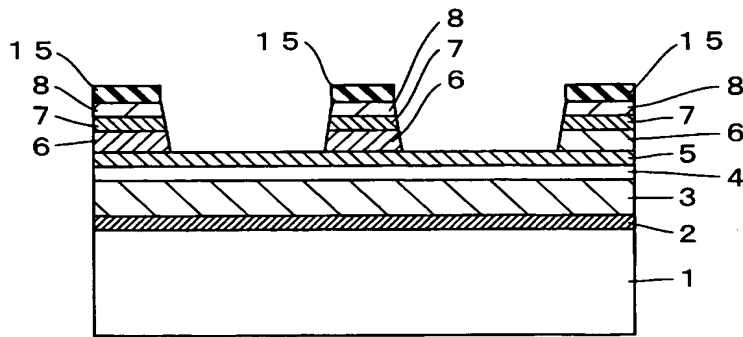
【図 2】



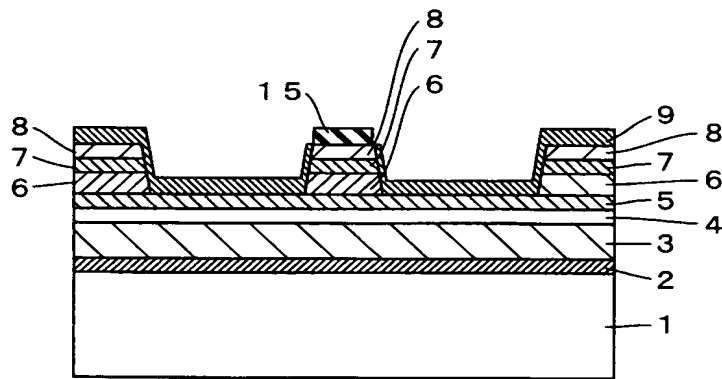
【図 3】



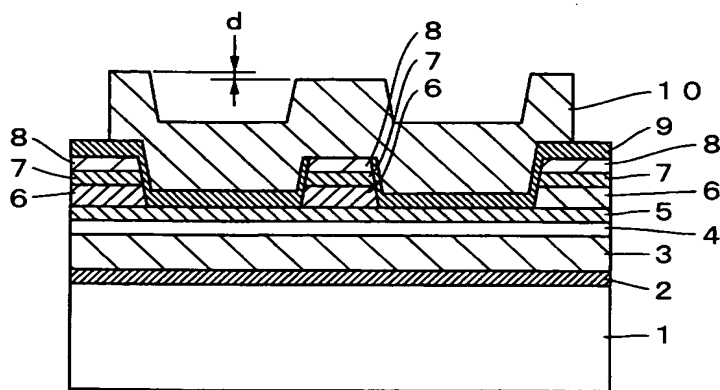
【図 4】



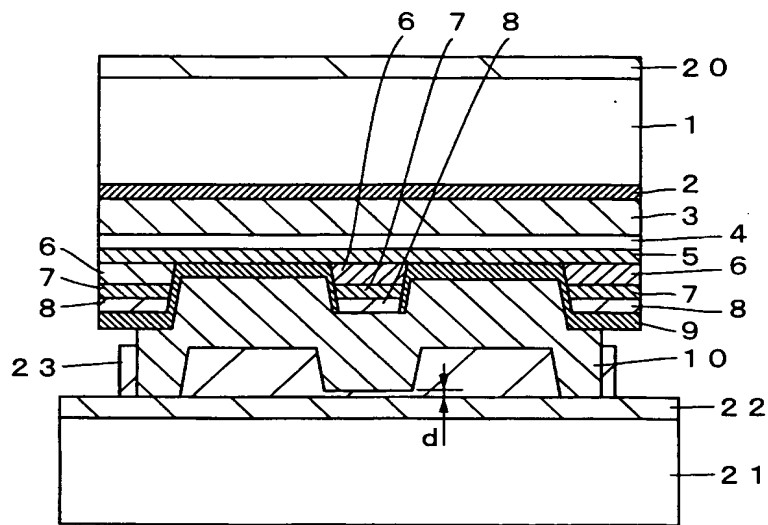
【図 5】



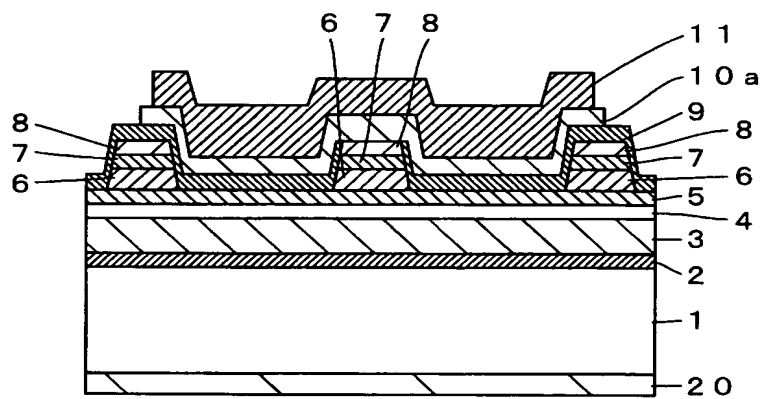
【図 6】



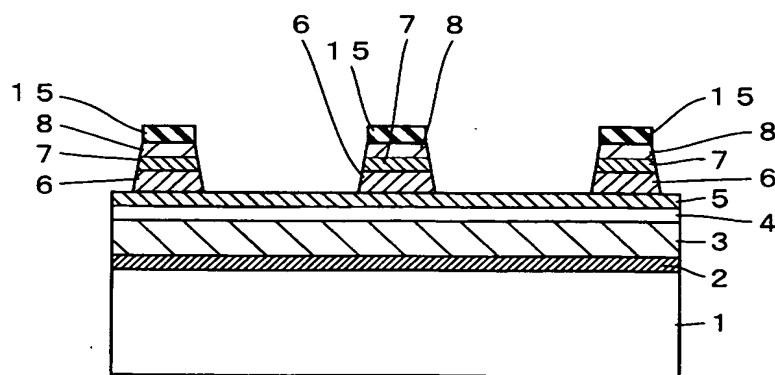
【図 7】



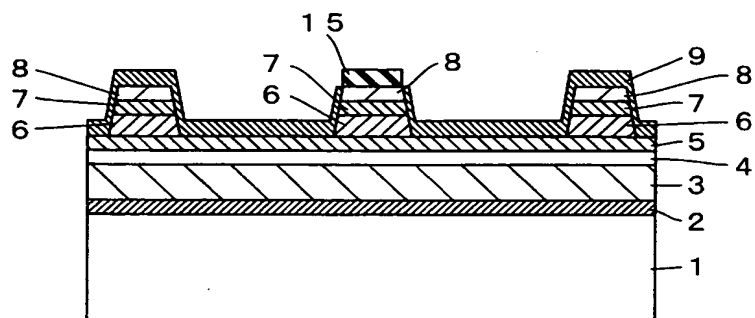
【図 8】



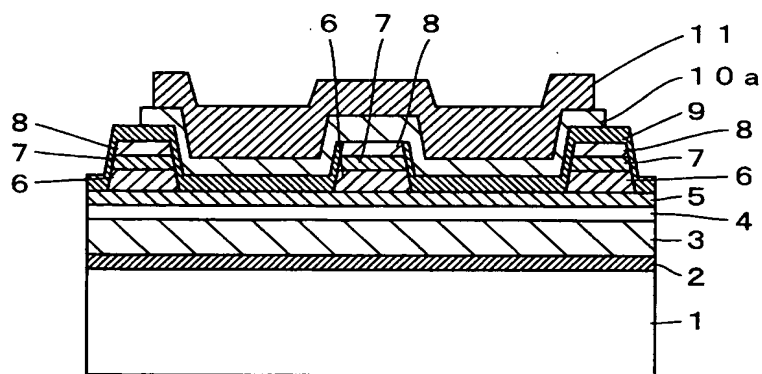
【図 9】



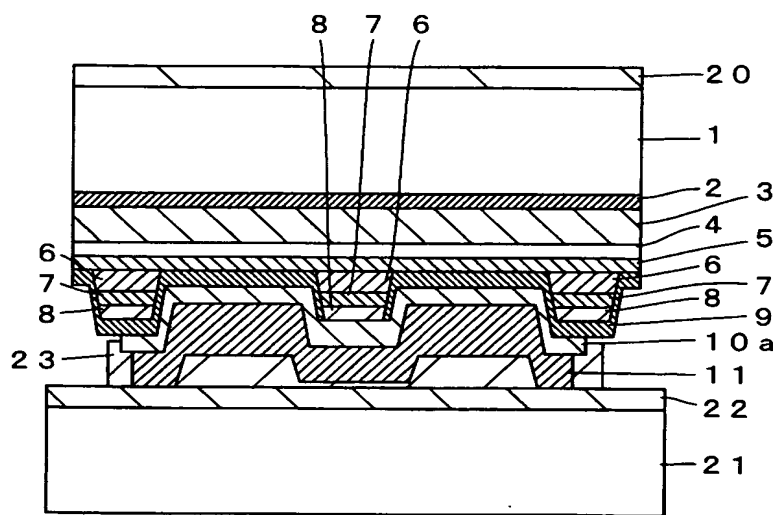
【図10】



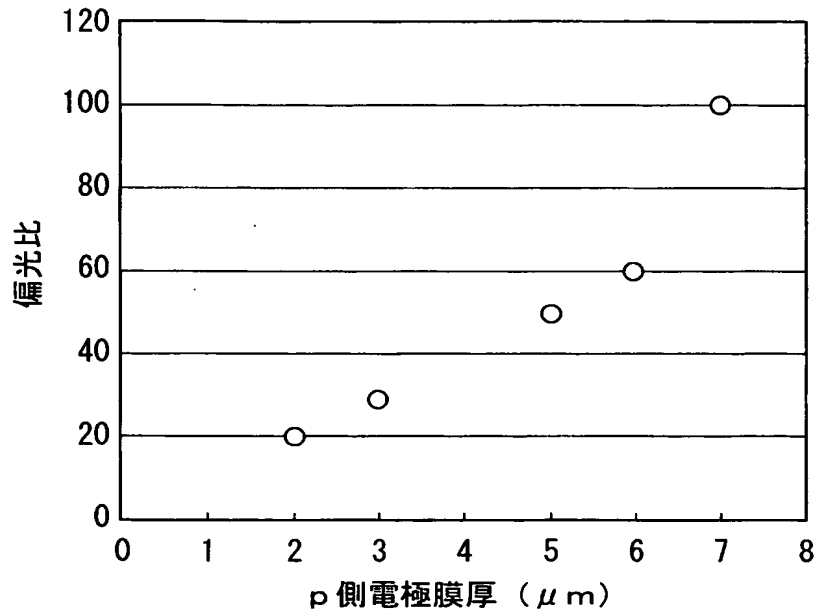
【図11】



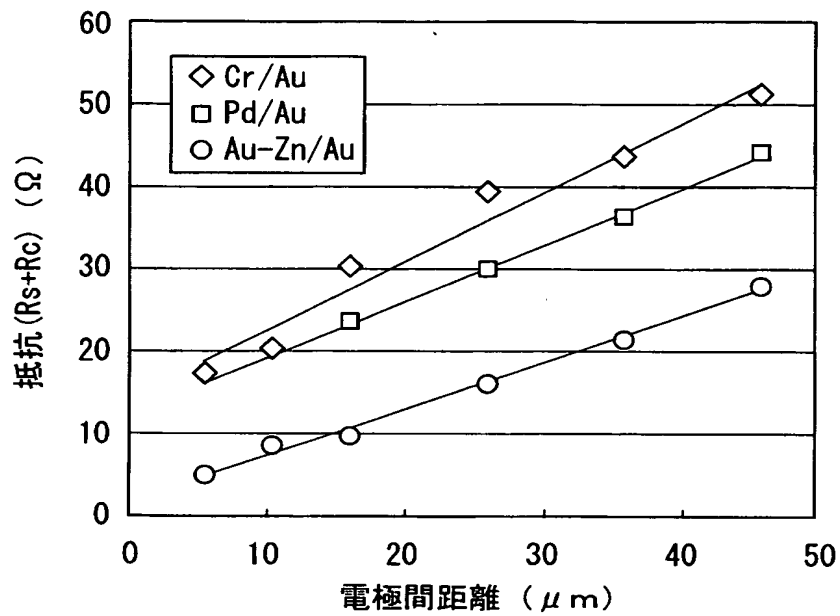
【図12】



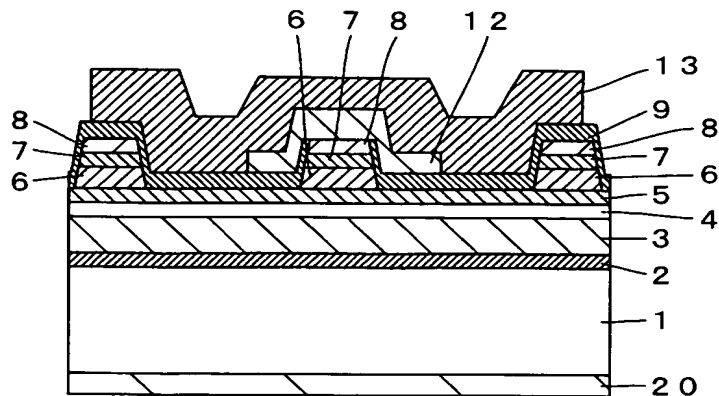
【図 13】



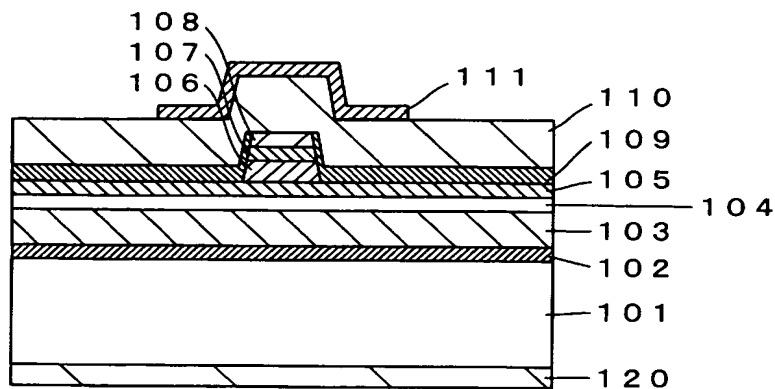
【図 14】



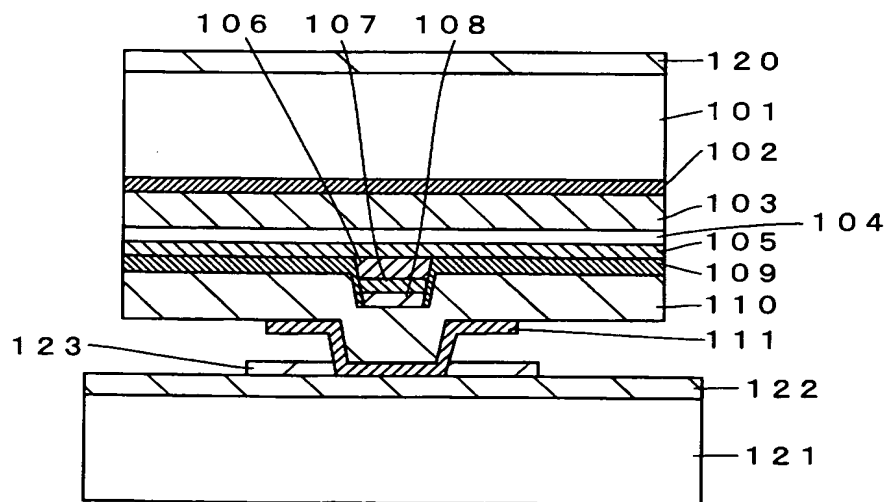
【図15】



【図16】



【図17】



【書類名】 要約書

【要約】

【課題】 放熱特性および信頼性が良好で、製造プロセスの簡略化および製造歩留まりの向上が可能な半導体レーザ装置を提供する。

【解決手段】 この半導体レーザ素子では、n型GaAs基板1上に、n型バッファ層2、n型クラッド層3、発光層4、および、p型第1クラッド層5が順次形成されている。p型第1クラッド層5の上面上には、p型第2クラッド層6、中間層7、および、コンタクト層8とから構成されるメサ形状（台形状）の凸状のリッジ部およびダミーリッジ部が所定の間隔を隔てて形成されている。また、p型第1クラッド層5の上面上と、リッジ部の側面上と、ダミーリッジ部の上面上と、ダミーリッジ部の側面のうちリッジ部に面した側面上とを覆うように、電流ブロック層9が形成されている。そして、露出されたリッジ部の上面上および電流ブロック層9の上面上を覆うように、第1p側電極10が形成されている。

【選択図】 図1

特願 2 0 0 3 - 0 9 3 9 7 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 1 8 8 9]

1. 変更年月日

1 9 9 3 年 1 0 月 2 0 日

[変更理由]

住所変更

住 所

大阪府守口市京阪本通 2 丁目 5 番 5 号

氏 名

三洋電機株式会社